

BEST AVAILABLE COPY

⑥

Int. Cl. 2:

G 04 C 5/00

⑩ BUNDESREPUBLIK DEUTSCHLAND

DEUTSCHES



PATENTAMT

DE 28 33 653 A 1

⑪

Offenlegungsschrift 28 33 653

⑫

Aktenzeichen:

P 28 33 653.0

⑬

Anmeldetag:

1. 8. 78

⑭

Offenlegungstag:

15. 2. 79

⑮

Unionspriorität:

⑯ ⑰ ⑱

4. 8. 77 V.St.v.Amerika 821874

⑲

Bezeichnung:

Frequenzeinstellschaltung

⑳

Anmelder:

Fairchild Camera and Instrument Corp., Mountain View, Calif. (V.St.A.)

㉑

Vertreter:

Fischer, F.B., Dr.-Ing., Pat.-Anw., 5000 Köln

㉒

Erfinder:

Duff, Donald Ray, Mountain View; Johnstone, James Hayden, San Jose; Calif. (V.St.A.)

DE 28 33 653 A 1

⑩ 2.79 608 807/622

12/70

DR.-ING. FRIEDRICH B. FISCHER
PATENTANWALT

5000 KÖLN 50 29.Juli 1978
SAARSTRASSE 71

Fairchild Camera and Instrument
Corporation
464 Ellis Street
Mountain View, California 94040, V.St.A.

2833653
F 7838

Frequenzeinstellschaltung

Ansprüche

1. Schaltung zur Einstellung der Durchschnittsfrequenz von Signalen, welche dem Ausgangsteil der Schaltung zugeführt werden, mit einer Signalquelle und einem Frequenzteiler mit Eingang und Ausgang,

gekennzeichnet durch eine erste Schalteinrichtung, welche mit dem Frequenzteiler zwischen der Quelle und dem Ausgangsteil in Reihe geschaltet ist, eine zweite Schalteinrichtung, welche zwischen der Signalquelle und dem Ausgangsteil parallel wenigstens zu dem Frequenzteiler liegt, und eine Steuereinrichtung zum selektiven Einschalten und Ausschalten der ersten Schalteinrichtung und der zweiten Schalteinrichtung.

2. Schaltung nach Anspruch 1, dadurch gekennzeichnet, daß die zweite Schalteinrichtung sowohl zu der ersten Schalteinrichtung als auch zu dem Frequenzteiler parallel geschaltet ist.

3. Schaltung nach Anspruch 2, dadurch gekennzeichnet, daß die erste Schalteinrichtung ein erstes NAND-Gatter und ein zweites NAND-Gatter enthält, daß die zweite Schalteinrichtung ein drittes NAND-Gatter und das zweite NAND-Gatter enthält, wobei eine erste Eingangsklemme des ersten NAND-Gatters mit der Steuereinrichtung verbunden ist, und eine zweite Eingangsklemme des ersten NAND-Gatters mit dem Ausgang des Frequenzteilers verbunden ist, eine erste Klemme des dritten NAND-Gatters mit der Steuereinrichtung verbunden ist und eine zweite Klemme des dritten NAND-Gatters mit dem Eingang des Frequenzteilers verbunden ist, eine erste Eingangsklemme des zweiten NAND-Gatters

909807/0922

- 2 -

2833653

3.

mit einer Ausgangsklemme des ersten NAND-Gatters verbunden ist und eine zweite Eingangsklemme des zweiten NAND-Gatters mit einer Ausgangsklemme des dritten NAND-Gatters verbunden ist, und der Ausgangsteil der Schaltung zur Einstellung der Durchschnittsfrequenz eine Ausgangsklemme des zweiten NAND-Gatters ist.

4. Schaltung nach Anspruch 3, dadurch gekennzeichnet, daß mehrere Eingangsklemmen der Steuereinrichtung Informationen über einen gewünschten Zustand der ersten und der zweiten Schalteinrichtung empfangen.

5. Schaltung nach Anspruch 4, dadurch gekennzeichnet, daß vier Eingangsklemmen vorhanden sind, und die erste, die zweite und die dritte der Eingangsklemmen so geschaltet sind, daß sie Informationen über den Betrag der Einstellung für die Durchschnittsfrequenz empfangen, und die vierte Eingangsklemme so geschaltet ist, daß sie Informationen darüber aufnimmt, ob die Durchschnittsfrequenz zu erhöhen oder herabzusetzen ist.

6. Schaltung nach Anspruch 5, dadurch gekennzeichnet, daß die erste Eingangsklemme zu der Steuereinrichtung mit einem vierten NAND-Gatter verbunden ist, daß die zweite Eingangsklemme zu der Steuereinrichtung mit einem fünften NAND-Gatter verbunden ist, daß die dritte Eingangsklemme zu der Steuereinrichtung mit einem sechsten NAND-Gatter verbunden ist, und wobei das vierte, fünfte und sechste NAND-Gatter auch Signale aus einer ersten Quelle von Signalen empfangen können, welche zu den Signalen aus der Signalquelle in einer bekannten Beziehung stehen.

7. Schaltung nach Anspruch 6, dadurch gekennzeichnet, daß die Steuereinrichtung wenigstens einen Zähler enthält, welcher mit einer zweiten Quelle von Signalen verbunden ist, die gegenüber den Signalen aus der Signalquelle in einer bekannten Beziehung stehen.

009807/0922

COPY

- 3 -

2833653

8. Schaltung nach Anspruch 7, dadurch gekennzeichnet, daß die erste Quelle von Signalen ein monostabiler Multivibrator ist und die zweite Quelle von Signalen die Signalquelle ist.

9. Schaltung nach Anspruch 7, dadurch gekennzeichnet, daß der wenigstens eine Zähler einen ersten, einen zweiten und einen dritten Zähler enthält, und daß das vierte NAND-Gatter mit dem ersten Zähler, das fünfte NAND-Gatter mit dem zweiten Zähler und das sechste NAND-Gatter mit dem dritten Zähler verbunden sind.

10. Schaltung nach Anspruch 9, dadurch gekennzeichnet, daß Signale von wenigstens einem von drei Zählern, nämlich dem ersten, dem zweiten und dem dritten Zähler, zu wenigstens einer von zwei Eingangsklemmen, nämlich der ersten Eingangsklemme des ersten NAND-Gatters und der ersten Eingangsklemme des dritten NAND-Gatters, geliefert werden.

11. Schaltung nach Anspruch 1, dadurch gekennzeichnet, daß die Signalquelle einen Quarzkristall-Oszillatator enthält und der Ausgangsteil eine Reihe von Zählern enthält, welche eine für die Zeit repräsentative Zählung liefern.

12. Elektronisches Zeitgerät mit einer Schaltung zur Einstellung der Durchschnittsfrequenz von Signalen, welche von einer Frequenzquelle zu einer Reihe von Zählern geführt werden, um eine für die Zeit repräsentative Zählung zu liefern, gekennzeichnet durch einen Frequenzteiler mit einem Eingang und einem Ausgang, eine erste Schalteinrichtung, welche zwischen der Signalquelle und dem Ausgangsteil in Serie mit dem Frequenzteiler geschaltet ist, eine zweite Schalteinrichtung, welche zwischen der Signalquelle und dem Ausgangsteil mit wenigstens dem Frequenzteiler par_allel geschaltet ist, und eine Steuereinrichtung zum selektiven Ein- und Ausschalten der ersten Schalteinrichtung und der zweiten Schalteinrichtung.

909807/0922

YGOEY -

-4-

Fairchild Camera and Instrument
Corporation
464 Ellis Street
Mountain View, California 94040, V.St.A.

2833653

F 7838

Frequenzeinstellschaltung

Die Erfindung bezieht sich auf elektronische Digitalschaltungen, und sie bezieht sich insbesondere auf ein Verfahren und eine Einrichtung zur Einstellung der durchschnittlichen Frequenz von Impulsen, welche einer elektronischen Schaltung zugeführt werden.

Digitale Schaltungen, welche periodische elektronische Impulssignale anderen elektronischen Schaltungen liefern, sind in der Digitaltechnik bekannt, und sie werden in zahlreichen Einrichtungen verwendet, beispielsweise in elektronischen Zeitgeräten. Bei bekannten Einrichtungen dieser Art wird im allgemeinen ein stabiler Hochfrequenzoszillator, vorzugsweise ein Quarzkristall, verwendet, um die Frequenz von Impulsen oder elektronischen Signalen zu steuern, welche einer anderen Schaltung geliefert werden, die die Impulse für eine Zeitschaltung, zur Zählung oder für verschiedene andere Zwecke benutzt. Da die Resonanzfrequenz von Quarzkristallen von einem zum anderen differiert, wird im Regelfall ein Kondensator zusammen mit dem Quarzkristall oder dem Oszillator verwendet, um die Schwingungsfrequenz zusätzlich einzustellen und zu stabilisieren. Im allgemeinen hat einer dieser Kondensatoren einen festen Wert, während der andere variabel ist. Beim Zusammenbau der betreffenden Schaltung oder des Produkts, bei dem die Frequenzquelle Verwendung findet, wird der variable Kondensator derart eingestellt, daß der Oszillator den genauen Wert der gewünschten Schwingungsfrequenz erzeugt. Ein Nachteil eines solchen Vorgehens ist, daß diese Art der Einstellung zeitaufwendig ist, und der erforderliche variable Kondensator beansprucht viel Platz und bedingt verhältnismäßig hohe Kosten. Diese Nachteile treten besonders in Erscheinung bei elektronischen Armbanduhren, da die Quarzkristall-Frequenzquelle und alle damit zusammenarbeitenden Komponenten in einer hinreichend kleinen und leichten Kapsel, welche am Handgelenk getragen wird, untergebracht werden müssen.

909807/0922

5

2833653

Die besondere Bedeutung der genauen Einstellung der von einer Frequenzquelle gelieferten Frequenz tritt besonders im Zusammenhang mit elektronischen Zeitgeräten in Erscheinung. Bei den bekannten Armbanduhren oder anderen elektronischen Zeitgeräten liefert gewöhnlich ein stabiler Hochfrequenzoszillator Signale zu einer Reihe von Frequenzteilern oder Zählern, welche die Frequenz der Signale progressiv auf einen gewünschten Wert herabsetzen, beispielsweise 1 Hertz. Das 1 Hertz-Signal kann dann benutzt werden, um eine Reihe von Zählern zu steuern, mit einem ersten Zähler mit 60er-Einteilung, welcher eine Zählung liefert, die für die genaue Zahl der in einer gegebenen Minute abgelaufenen Sekunden repräsentativ ist, und einem zweiten Zähler mit 60er-Einteilung, welcher von dem ersten Zähler gesteuert wird und eine Zählung liefert, welche für die genaue Zahl der Minuten der Stunde repräsentativ ist. Ein Zähler mit 12er-Einteilung, welcher von dem Minutenzähler gesteuert wird, liefert eine Zählung, welche für die genaue Stunde des Tages repräsentativ ist, und erforderlichenfalls können zusätzliche Zähler vorgesehen sein, um die Tage der Woche, die Tage des Monats, die Monate des Jahres, die Schaltjahre usw. zu zählen. Im Regelfall werden die Ausgänge jedes der Zeitgerätzähler decodiert und in eine Anzeigeeinrichtung eingegeben, beispielsweise eine Anzeigeeinrichtung mit Flüssigkristallen oder lichtemittierenden Dioden. Der dabei erhaltene visuelle Ausgang stellt eine Zeitanzeige dar. Ein Beispiel einer nach dem Stande der Technik bekannten elektronischen Armbanduhr, bei welcher eine Serie von Frequenzteilern oder Zählern verwendet wird, ist in der US-Patentschrift 3.815.354 (Sirocka u.a.) enthalten.

Wegen der außerordentlich hohen Genauigkeit des Hochfrequenzsignals, welches von dem Quarzkristall und der mit ihm zusammenarbeitenden Schaltung zur Verfügung gestellt wird, sind elektronische Zeitgeräte, welche mit der beschriebenen Schaltung ausgestattet sind, im Regelfall wesentlich genauer als die althergebrachten Arbeitsweisen der mechanischen Armband- und sonstigen Uhren. Hinzu kommt, daß vollelektronische Systeme einfacher herzustellen sind, eine viel längere Lebensdauer haben und gewöhnlich auch niedrigere Kosten bedingen.

809807/0922

- 6 -

2833653

Ein Ausführungsbeispiel einer Schaltung, welche eine periodische Einstellung der Frequenz eines Quarzkristall-Oszillators ermöglicht, ist in der bekanntgemachten schweizerischen Patentanmeldung 3863/73 beschrieben. Bei der dort beschriebenen Schaltung wird ein Schalter benutzt, welcher selektiv Kondensatoren in wirksame und unwirksame Schaltstellungen bringt, um dadurch die Schwingungseigenschaften des Quarzkristalls zu beeinflussen.

Die Erfindung bezweckt, eine sehr genaue Einrichtung zur Einstellung der durchschnittlichen Schwingungsfrequenz eines Signals zu schaffen, welches zur Steuerung einer anderen Schaltung oder anderer Schaltungen verwendet wird. Die Bezeichnung "durchschnittliche Frequenz" oder "Durchschnittsfrequenz" wird hierbei im gewöhnlichen Sinne verwendet; sie bezieht sich also auf das arithmetische Mittel der Frequenz, welche von einer Schaltung während eines gewählten Zeitraumes geliefert wird. Die Durchschnittsfrequenz eines Signals über einen gewählten Zeitraum wird errechnet durch Summierung der Produkte der verschiedenen momentanen Frequenzen mit ihren zugehörigen Zeitwerten und Division durch die Summe der entsprechenden Zeitwerte. Wenn beispielsweise die Frequenz f_1 während des Zeitraums t_1 , die Frequenz f_2 während des Zeitraums t_2 und die Frequenz f_3 während des Zeitraums t_3 vorhanden ist, wird die Durchschnittsfrequenz $f_{\text{Durchschnitt}}$ errechnet durch die folgende Beziehung:

$$f_{\text{Durchschnitt}} = \frac{f_1 t_1 + f_2 t_2 + f_3 t_3}{t_1 + t_2 + t_3}$$

Dabei ist erkennbar, daß die Durchschnittsfrequenz nicht notwendigerweise und auch nicht im Regelfall gleich einer der momentanen Frequenzen ist.

Die Anwendung der vorliegenden Erfindung ist naturgemäß immer dann vorteilhaft, wenn eine möglichst genaue Durchschnittsfrequenz geliefert werden muß, jedoch ist sie von besonderer Bedeutung und besonders zweckmäßig für die Anwendung bei elektronischen Zeitgeräten. Bei Einrichtungen dieser Art wird die Schaltung gemäß der Erfindung zwischen einer Frequenzquelle und anderen elektronischen

809807/0922

- 7 -

2833653

Schaltungen, welche Signale aus der Frequenzquelle benutzen, angeordnet. Die Schaltung gemäß der Erfindung kann mit besonderem Vorteil eingesetzt werden, wenn die anderen elektronischen Schaltungen Signale verwenden, welche eine erheblich niedrigere Frequenz haben als die von der Frequenzquelle erzeugten Frequenzwerte.

Die Schaltung gemäß der Erfindung zur Einstellung der Durchschnittsfrequenz von Signalen, welche einer anderen Schaltung zugeführt werden, enthält eine erste Schalteinrichtung, welche mit einem Frequenzteiler in Reihe geschaltet ist, und eine zweite Schalteinrichtung, welche mit wenigstens dem Teiler parallel geschaltet ist. Eine Steuereinrichtung kann selektiv über gegebene Zeiträume auf die erste und die zweite Schalteinrichtung einwirken bzw. nicht einwirken. Bei einer bevorzugten Ausführungsform der Erfindung ist die zweite Schalteinrichtung sowohl zu der ersten Schalteinrichtung als auch dem Teiler parallel geschaltet.

Wenn sich die Schaltung gemäß der Erfindung in dem Zustand befindet, in welchem Impulse weder zu noch von dem durch den Frequenzerzeuger gelieferten Signal hinzugefügt bzw. subtrahiert werden, wird die erste Schalteinrichtung geschlossen sein, während die zweite sich in geöffneter Stellung befinden wird. Diese Positionen der ersten und der zweiten Schalteinrichtung erlauben, daß elektronische Signale von dem Frequenzerzeuger durch den Frequenzteiler gelangen und zu der anderen elektronischen Schaltung, welche die im Einzelfall gewünschte Beschaffenheit hat, geliefert werden. Die Frequenz der Signale, welche zu der anderen elektronischen Schaltung geliefert werden, wird nur durch die Wirkung des Teilers von der Frequenz der Signale, welche von dem Frequenzerzeuger erzeugt sind, abhängig sein. Dieser Zustand der Schaltung gemäß der Erfindung wird nachfolgend auch als Normalzustand bezeichnet werden.

Wenn die durchschnittliche Frequenz von Signalen, welche zu der anderen elektronischen Schaltung geliefert werden, erhöht werden soll, wird während eines gewählten Zeitraums die erste Schalteinrichtung geöffnet werden, und die zweite Schalteinrichtung wird geschlossen werden. Dieser Schaltungszustand wird nachfolgend auch als Zu-

809807/0922

- 8 -

2833653

stand der "Impulsaddition" bezeichnet. Hierbei gelangen Signale von dem Frequenzerzeuger zu der anderen elektronischen Schaltung, ohne daß sie durch den Frequenzteiler geführt werden. Diese Signale werden daher eine höhere Frequenz haben als die vorherigen "normalen" Signale, welche durch den Teiler gelangten. Durch entsprechende Steuerung der Dauer des Zustandes der Impulsaddition und durch Vor- und Rückschieben zwischen diesem Zustand und dem Normalzustand kann die zu der anderen elektronischen Schaltung gelieferte Durchschnittsfrequenz auf jeden gewünschten Frequenzwert zwischen der Normalfrequenz und der von dem Frequenzerzeuger gelieferten Frequenz angehoben werden. Durch passende Impulssteuerung der Schaltung gemäß der Erfindung vom Normalzustand zum Impulsadditionszustand kann die durchschnittliche Frequenz der Signale, welche zu der anderen elektronischen Schaltung geliefert werden, auf einem erhöhten Frequenzwert über der Normalfrequenz für jeden gewünschten Zeitraum gehalten werden. Wenn es beispielsweise erwünscht ist, daß die Durchschnittsfrequenz, welche zu der anderen elektronischen Schaltung geliefert wird, über verhältnismäßig lange Zeitabschnitte höher sein soll, so kann die Schaltung gemäß der Erfindung langsam zwischen dem Normalzustand und dem Impulsadditionszustand hin- und hergeschaltet werden. Wenn dagegen die gewünschte höhere Durchschnittsfrequenz nur über verhältnismäßig kurze Zeitabschnitte bestehen soll, wird der Impulsadditionszustand der Schaltung gemäß der Erfindung häufiger, jedoch über kürzere Zeitabschnitte eingestellt werden.

Wenn die Durchschnittsfrequenz der Signale aus der Schaltung gemäß der Erfindung herabgesetzt werden soll, können die beiden Schalteinrichtungen, also die erste und die zweite Schalteinrichtung, periodisch geöffnet werden. Während jedes Zeitraums, in dem sowohl die erste als auch die zweite Schalteinrichtung offen sind, wird kein Signal zu der anderen Schaltung geliefert, und dementsprechend wird die Durchschnittsfrequenz während eines längeren Zeitraums niedriger sein als sie normalerweise geliefert wird.

Bei einer bevorzugten Ausführungsform der Erfindung, welche insbesondere geeignet ist für die Anwendung bei elektronischen Zeit-

809807/0922

2833653

- 9 -

geräten, wird die Schaltung gemäß der Erfindung benutzt, um die Durchschnittsfrequenz einzustellen, welche von einer Schaltung gefördert wird, die eine Frequenzquelle enthält. Die Möglichkeit der Einstellung einer Frequenz, welche beispielsweise von einem Quarzkristall geliefert wird, ist besonders vorteilhaft, weil sie die Verwendung eines preisgünstigeren Quarzkristalls ermöglicht, dessen jeweilige Frequenz in stärkerem Maße von der Nominalfrequenz abweicht. Die Erfindung ist auch gegenüber den bisher bekannten Schaltungen dieser Art besonders vorteilhaft, weil die Einstellung der Durchschnittsfrequenz linear erfolgt; dies bedeutet, daß eine lineare Beziehung zwischen der Zahl der Zählungen, welche addiert oder subtrahiert werden, und der resultierenden Änderung der Durchschnittsfrequenz besteht. Die Frequenz von Signalen, welche von dem Frequenzerzeuger geliefert werden, kann in geeigneter Weise eingestellt werden, so daß sie den gewünschten Eigenschaften des übrigen Teils der elektronischen Schaltung angepaßt werden kann. Die Oszillatorschaltung kann daher standardisiert werden, und es können kleinere elektronische Einstellungen der Durchschnittsfrequenz vorgenommen werden, ohne daß es erforderlich ist, die jeweilige Frequenz der Quelle einzustellen.

Ausführungsbeispiele der Erfindung werden nachfolgend anhand der Zeichnungen beschrieben.

Fig. 1 zeigt schematisch das Arbeitsprinzip der Schaltung gemäß der vorliegenden Erfindung.

Fig. 2 ist ein lógisches Diagramm einer bevorzugten Ausführungsform der Erfindung.

Fig. 3 ist ein Zeitdiagramm der Schaltung gemäß Fig. 2.

Die in Fig. 1 dargestellte schematische Zeichnung zeigt die grundsätzliche Arbeitsweise einer Ausführungsform der Erfindung. Wie in Fig. 1 erkennbar ist, ist eine erste Schalteinrichtung 3 mit einem Frequenzteiler 4 in Reihe geschaltet. Frequenzteiler 4 unterteilt die seinem Eingang 41 zugeführte Frequenz auf einen niedrigeren Frequenzwert, welcher an dem Ausgang 40 austritt. Frequenzteiler entsprechend dem unter dem Bezugssymbol 4 dargestellten

009807/0028

2833653

- 10 -

Frequenzteiler sind in der Technik bekannt, und sie sind kommerziell verfügbar; im allgemeinen unterteilen sie die Eingangsfrequenz um eine ganze Zahl. Als Beispiel für einen solchen Frequenzteiler wird das Produkt 34518 der Fairchild Camera and Instrument Corporation (nachfolgend auch als "Fairchild" bezeichnet) genannt. Bei einer bevorzugten Ausführungsform ist eine zweite Schalteinrichtung 6 zu der ersten Schalteinrichtung 3 und dem Frequenzteiler 4 parallel geschaltet. Im Betrieb wird eine Frequenz der in Fig. 1 dargestellten Klemme 7 zugeführt. Durch selektives Öffnen und Schließen der ersten Schalteinrichtung 3 und der zweiten Schalteinrichtung 6 über bestimmte Zeitabschnitte kann erreicht werden, daß eine höhere oder niedrigere Durchschnittsfrequenz (im Vergleich zu derjenigen Frequenz, welche normalerweise von dem Teiler 4 an Ausgangsklemme 40 geliefert wird) an Klemme 8 auftritt. Der zeitliche Durchschnittswert der an Klemme 8 auftretenden Frequenz kann so hoch sein wie diejenige Frequenz, die bei Klemme 7 geliefert wird, oder sie kann auch als niedrigsten Wert Null erreichen. Wenn keine Änderung der Frequenz gewünscht ist, wird die erste Schalteinrichtung 3 geschlossen, während die zweite Schalteinrichtung 6 geöffnet wird, so daß die der Klemme 7 zugeführten Signale durch den Teiler 4 hindurchgelangen und an Klemme 8 auftreten. Dieser Betriebszustand wird als Normalzustand bezeichnet, weil die zugeführte Frequenz lediglich durch die Wirkung des Teilers 4 geändert wird.

Wie in Fig. 1 erkennbar ist, wird durch Öffnen der ersten Schalteinrichtung 3 und Schließen der zweiten Schalteinrichtung 6 erreicht, daß die an Klemme 7 auftretenden Signale den Teiler 4 umgehen und unmittelbar an Klemme 8 auftreten. Dieser Betriebszustand der Schaltung wird als Zustand der "Impulsaddition" bezeichnet. Der Zustand der Impulsaddition kann über jeden gewünschten Zeitraum aufrechterhalten werden, und es wird hierdurch die an Klemme 8 auftretende Durchschnittsfrequenz im Sinne einer Erhöhung eingestellt. Wenn beispielsweise während eines gegebenen Zeitraums der Schaltzustand der Impulsaddition über eine Hälfte des Zeitraums aufrechterhalten wird, so wird die Durchschnittsfrequenz des an Klemme 8 erscheinenden Signals in der Mitte zwischen der zu Klemme 7 gelieferten Frequenz und der normalerweise bei Klemme 8 gelieferten Frequenz liegen.

009807/0922

- 11 -

2833653

(wobei die erste Schalteinrichtung 3 geschlossen und die zweite Schalteinrichtung 6 geöffnet ist). Bei der in Fig. 1 dargestellten Schaltung ist die Durchschnittsfrequenz f_{ave} , welche zur Klemme 8 geliefert wird, im Verhältnis zu der zu Klemme 7 gelieferten Ein-gangsfrequenz f_{in} wie folgt zu errechnen:

$$f_{ave} = \frac{f_{in}(T - t) \pm nf_{in}}{nT}$$

Dabei ist: T = Zeit zwischen Einstellperioden der Durchschnittsfrequenz

t = Dauer der Einstellung

n = Zahl (Divisor), durch welche die Frequenzteiler-schaltung 4 den Frequenzwert f_{in} dividiert.

Wenn also die an Klemme 8 auftretende Frequenz 10 % höher sein soll als die an Klemme 8 auftretende Normalfrequenz, und wenn $n = 2$ ist, so wird der Zustand der Impulsaddition der Schaltung über 10 % der gesamten Betriebszeit aufrechterhalten werden. Durch schnelleres Schalten der in Fig. 1 dargestellten Schaltung zwischen dem Normalzustand und dem Zustand der Impulsaddition wird die bei Klemme 8 auftretende Momentanfrequenz sich mehr der gewünschten Durchschnittsfrequenz über zunehmend kürzere Zeiträume annähern.

In ähnlicher Weise kann die in Fig. 1 dargestellte Schaltung so betrieben werden, daß die bei Klemme 8 auftretende Durchschnittsfrequenz niedriger als die normalerweise gelieferte Frequenz ist. Dieser Zustand wird nachfolgend auch als der Zustand der "Impuls-subtraktion" bezeichnet, und er wird dadurch eingestellt, daß sowohl die erste Schalteinrichtung 3 als auch die zweite Schalteinrichtung 6 geöffnet werden. Wenn sowohl die erste Schalteinrichtung 3 als auch die zweite Schalteinrichtung 6 während einer gewählten Zeit geöffnet sind, werden keine Impulse von der Klemme 7 zur Klemme 8 weitergegeben. Auf diese Weise wird über eine längere Zeitspanne die bei Klemme 8 auftretende Durchschnittsfrequenz herabgesetzt. Wenn beispielsweise $n = 2$ ist und wenn die Durchschnittsfrequenz bei Klemme 8 10 % niedriger als die Normalfrequenz sein soll, so

909807/0922

- 12 -

2833653

werden Schalter 3 und Schalter 6 zusammen über 10 % der Zeit geöffnet sein. Dieser Zustand wird dadurch erreicht, daß Schalter 6 geöffnet gehalten wird und dann Schalter 3 über 10 % der Zeit geöffnet wird.

Fig. 2 zeigt ein logisches Diagramm einer bevorzugten Ausführungsform der Schaltung gemäß der Erfindung zusammen mit entsprechenden äußeren Schaltungen 11, 11a, 11b ... 11k, wie sie im Regelfall bei elektronischen Zeitgeräten Verwendung finden. Die Schaltung gemäß der Erfindung enthält einen Schaltkreis 30 und eine Steuerschaltung 20. Fig. 2 zeigt einen Frequenzgenerator 11 und eine Reihe von Frequenzteilern 11a, 11b ... 11k. Die Schaltung gemäß der Erfindung, wie sie in dem logischen Diagramm innerhalb der gestrichelten Linien der Blocks 20 und 30 dargestellt ist, enthält Verbindungen zwischen den Frequenzteilern 11a und 11b auf der linken Seite der Fig. 2 und Leitung T zwischen den Frequenzteilern 11c und 11k auf der rechten Seite der Fig. 2. Dabei ist zu beachten, daß diese Art der räumlichen Anordnung lediglich der Illustration dient und daß auch andere gewünschte Anordnungen gewählt werden können. Dies hängt ab von der gewünschten Normalfrequenz, dem Umfang der erwarteten maximalen Einstellungswirkung auf die Normalfrequenz und dem Mindestzeitraum, während dessen die durchschnittliche neue Frequenz gewünscht wird. Wenn beispielsweise gewünscht wird, daß die Einstellung der Eingangsfrequenz weniger häufig vorgenommen werden soll, so kann die Leitung T zwischen Teiler angeschlossen werden, welche von dem Teiler 11c weiter entfernt sind, beispielsweise nach Teiler 11f (nicht dargestellt), so daß der monostabile Multivibrator 19 weniger häufig getriggert wird.

wie Fig. 2 zeigt, enthält das hier dargestellte logische Diagramm einen Schaltkreis 30 und eine Steuerschaltung 20. Der Schaltkreis 30 erfüllt die gleiche Funktion wie die in Fig. 1 dargestellte Schaltung. Frequenzteiler 11b (Fig. 2) erfüllt die Funktion des Frequenzteilers in Fig. 1, und die Kombination von NAND-Gatter 36 und 37 (Fig. 2) erfüllt die Funktion der ersten Schalteinrichtung 3 in Fig. 1; die Kombination von NAND-Gattern 35 und 37 (Fig. 2) erfüllt

909807/0922

2833653

- 13 -

die Funktion der zweiten Schalteinrichtung 6 in Fig. 1. Durch entsprechende Steuerung der NAND-Gatter 35, 36 und 37 kann die dem Frequenzteiler 11k gelieferte durchschnittliche Frequenz eingestellt werden auf jede gewünschte Frequenz zwischen Null und der Frequenz der an den Teiler 11b auf Leitung IN angelegten Signale.

Die innerhalb der gestrichelten Linie 20 dargestellte Steuerschaltung hat den Zweck, die NAND-Gatter 35 und 36, und dementsprechend NAND-Gatter 37, in geeigneten Zeitintervallen ein- bzw. abzuschalten, damit die gewünschte Durchschnittsfrequenz zum Teiler 11k geliefert wird.

Wenn die gewünschte Durchschnittsfrequenz von Signalen auf Leitung OUT gleich der Normalfrequenz (Frequenz auf Leitung N nach Division durch Teiler 11b) sein soll, so wird NAND-Gatter 36 eingeschaltet und NAND-Gatter 35 abgeschaltet. Dies wird erreicht durch eine logische 1 auf Leitung B und eine logische 0 auf Leitung A. In diesem Fall ist NAND-Gatter 36 eingeschaltet, NAND-Gatter 35 ist abgeschaltet und NAND-Gatter 37 eingeschaltet. Dementsprechend gelangen auf Leitung IN gelieferte Signale durch Teiler 11b, und sie werden zur Leitung OUT weitergegeben. Dieser Zustand entspricht dem in Fig. 1 dargestellten Zustand, wenn Schalter 6 geöffnet ist, während Schalter 3 sich in geschlossenem Zustand befindet (Normalzustand).

Wenn die in Fig. 2 dargestellte Schaltung eine Durchschnittsfrequenz liefern soll, welche höher als die Normalfrequenz ist, wird NAND-Gatter 35 eingeschaltet und NAND-Gatter 36 abgeschaltet, indem eine logische 1 auf Leitung A und eine logische 0 auf Leitung B gelegt werden. Signale, welche auf Leitung IN zur Schaltung 30 geliefert werden, gelangen dadurch auf Leitung S, umgehen den Teiler 11b und gelangen durch NAND-Gatter 35 und 37 zur Leitung OUT. Die auf der Leitung OUT auftretenden Signale werden daher während derjenigen Periode, in der sich NAND-Gatter 35 im Einschaltzustand und NAND-Gatter 36 im Abschaltzustand befindet, in der Frequenz den auf Leitung IN befindlichen Signalen gleich sein.

909807/0922

- 14 -

2833653

Wenn die Schaltung eine Durchschnittsfrequenz liefern soll, welche niedriger als die Normalfrequenz ist, werden sowohl NAND-Gatter 35 als auch NAND-Gatter 36 abgeschaltet, so daß die Weitergabe irgendwelcher Signale von der Leitung IN zur Leitung OUT unterbunden ist. Dieser Impulssubtraktionszustand wird dadurch erreicht, daß eine logische 0 auf Leitung A und eine logische 0 auf Leitung B gelegt werden, so daß beide NAND-Gatter 35 und 36 abgeschaltet sind. Während eines etwas längeren Zeitraums wird die auf der Leitung OUT auftretende durchschnittliche Signalfrequenz niedriger als die Normalfrequenz sein.

Die Steuerschaltung innerhalb des gestrichelten Blocks 2 kann jede geeignete Schaltung sein, welche die beschriebenen Ergebnisse erbringt. Das bedeutet, daß die Steuerschaltung die Gatter 35, 36 und 37 zuverlässig dadurch öffnen und schließen muß, daß eine logische 0 auf die Leitungen A und B während des Zustands der Impulssubtraktion, eine logische 1 auf Leitung A und eine logische 0 auf Leitung B während des Zustands der Impulsaddition und eine logische 0 auf Leitung A und eine logische 1 auf Leitung B während des Notmalbetriebs gelegt werden. Eine bevorzugte Ausführungsform einer logischen Schaltung, welche diese Funktionen erfüllt, ist innerhalb des Blocks 20 der Fig. 2 dargestellt. Der Fachmann der Technik der Digitalschaltungen wird erkennen, daß zahlreiche andere Steuerschaltungen außer der in Fig. 2 dargestellten Schaltung das gewünschte Resultat erbringen können. Eine Gruppe von Schaltungen dieser Art kann dadurch erhalten werden, daß das deMorgan'sche Theorem angewandt wird. Insbesondere kann bei der dargestellten Ausführungsform des Schaltkreises jede Steuerschaltung das gewünschte Ergebnis erbringen, welche die folgenden Bedingungen erfüllt:

A = 1 Wenn G = 1 und P = 1

B = 0 Wenn entweder,

- 1) G = 1 und P = 0, oder
- 2) A = 1

Das logische Diagramm innerhalb des Blocks 20 der Fig. 2 enthält eine Einrichtung, welche die Leitungen A und B derart impulssteuert,

909807/0922

COPY

2833653

- 15 -

daß der Zustand des Schaltkreises 30 entsprechend gesteuert wird, und es enthält innerhalb von Block 28 eine Einrichtung zur Kontrolle und Steuerung der Zahl der addierten oder subtrahierten Impulse.

Das durch die Schaltung innerhalb vom Block 28 auf Leitung G zugeführte Signal bestimmt zusammen mit dem von Verriegelung 22 auf Leitung P gelieferten Signal den Zustand der Leitungen A und B. Wie noch näher erläutert werden wird, wird die Existenz und die Dauer einer logischen 1 auf Leitung G benutzt, um die Existenz und die Dauer der zu den Leitungen A und B gelieferten Impulsaddition- und Impulsubtraktion-Signale zu steuern. Wenn der Schaltkreis innerhalb des Blocks 30 sich in seinem normalen Zustand befinden soll, wird eine logische 0 auf die Leitung G durch die Schaltung in dem Block 28 gegeben. Es sei nun jedoch angenommen, daß eine logische 1 durch die Schaltung innerhalb des Blocks 28 auf Leitung G gegeben wird. Eine logische 1 auf Leitung G wird UND-Gatter 25 und UND-Gatter 26 in den Einschaltzustand versetzen. Die Wahl, ob entweder Leitung A oder Leitung B eine logische 1 erhält, wird daher durch den Zustand der Leitung P entschieden. Die Verriegelung (latch) 22, welche nach dem Stande der Technik bekannt ist, z.B. durch das Fairchild-Produkt 34042, ist derart voreingestellt, daß die Anwesenheit einer logischen 1 bei Klemme I+ die Leitung P in den Zustand einer logischen 1 verriegelt. Die logische 1 auf Leitung P wird durch den Inverter vor UND-Gatter 26 in eine logische 0 invertiert, und dementsprechend wird UND-Gatter 26 nicht eingeschaltet; das Ergebnis ist, daß eine logische 0 auf Leitung R erscheint. Die logische 1 auf Leitung P bewirkt jedoch zusammen mit der logischen 1 auf Leitung G, daß UND-Gatter 25 eine logische 1 auf Leitung A liefert. Die logische 1 auf Leitung A bewirkt zusammen mit der logischen 0 auf Leitung R, daß das NOR-Gatter 27 eine logische 0 auf Leitung B liefert, so daß NAND-Gatter 36 abgeschaltet wird. Durch das Einschalten von NAND-Gatter 35 und das Abschalten von NAND-Gatter 36 wird der Schaltkreis 30 in den Impulsadditionszustand versetzt. Frequenzteiler 11b wird umgangen.

909807/0922

COPY

2833653

- 16 -

Der Schaltkreis 30 wird in den Zustand der Impulssubtraktion versetzt, indem eine logische 0 in die Eingangsklemme I+ eingegeben wird und zwar gleichzeitig mit einer logischen 1 auf Leitung G. Die logische 0 bei Klemme I+ bewirkt, daß eine logische 0 auf Leitung P erscheint, so daß NAND-Gatter 25 abgeschaltet wird, wodurch wiederum NAND-Gatter 35 abgeschaltet wird. Die logische 0 auf Leitung P zusammen mit der vorausgesetzten logischen 1 auf Leitung G versetzt UND-Gatter 26 in den Einschaltzustand und bewirkt, daß eine logische 1 auf Leitung R erscheint. Die logische 1 auf Leitung R bewirkt zusammen mit der logischen 0 auf Leitung A, daß NOR-Gatter 27 eine logische 0 auf Leitung B legt. Die kombinierten logischen Oen auf Leitung A und Leitung B bewirken die Abschaltung von NAND-Gatter 35 und NAND-Gatter 36 und damit die Abschaltung von NAND-Gatter 37. Während derjenigen Zeit, in der NAND-Gatter 37 abgeschaltet ist, erscheint kein Signal auf Leitung OUT.

Der Normalzustand des Schaltkreises 30 tritt immer dann auf, wenn Schaltung 28 eine logische 0 auf Leitung G legt. Die logische 0 auf Leitung G führt zur Abschaltung von UND-Gatter 25 und UND-Gatter 26, und dies bewirkt, daß eine logische 0 auf Leitung R und Leitung A erscheint. Diese logischen Oen schalten NAND-Gatter 35 ab und bewirken, daß NOR-Gatter 27 eine logische 1 auf Leitung B legt, so daß NAND-Gatter 36 eingeschaltet wird. Die auf Leitung B des NAND-Gatters 36 gelegte logische 1 ermöglicht, daß die Signale auf Leitung M von Frequenzteiler 11b durch NAND-Gatter 36 und NAND-Gatter 37 gelangen und dadurch auf Leitung OUT erscheinen.

Die Anwesenheit einer logischen 1 bei Eingangsklemme I+ zusammen mit einer logischen 1 auf Leitung G bewirkt, daß der Schaltkreis 30 den Frequenzteiler 11b umgeht, so daß die Durchschnittsfrequenz von Signalen auf Leitung OUT wirksam heraufgesetzt wird. Die Anwesenheit einer logischen 0 bei Klemme I+ und einer logischen 1 auf Leitung G bewirken, daß der Schaltkreis 30 den Signalfluß zwischen den Leitungen IN und OUT unterbricht, so daß die Durchschnittsfrequenz herabgesetzt wird. Schließlich erlaubt die Anwesenheit einer logischen 0 auf Leitung G, daß die Signale durch den Frequenzteiler 11b gelangen und unmittelbar auf Leitung OUT erscheinen.

909807/0922

2833653

- 17 -

Der Zweck der Schaltung innerhalb des Blockes 28 ist die Steuerung der Zahl von Impulsen, welche durch den Schaltkreis 30 addiert oder subtrahiert werden. Wie bereits beschrieben wurde, erfolgt die Steuerung, ob Impulse addiert oder subtrahiert werden, durch die Anwesenheit einer logischen 1 bzw. einer logischen 0 auf Leitung P. Eine Addition oder Subtraktion von Impulsen erfolgt immer dann, wenn eine logische 1 auf Leitung E vorhanden ist, und es werden hierdurch NAND-Gatter 21a, 21b und 21c in den Einschaltzustand versetzt. Die logische 1 auf Leitung E wird erzeugt durch einen monostabilen Multivibrator 19. Monoflops ("one-shot" devices), wie beispielsweise der monostabile Multivibrator 19, sind nach dem Stande der Technik bekannt und stehen kommerziell zur Verfügung, beispielsweise das Fairchild-Produkt 9600. Bei einer bevorzugten Ausführungsform der Erfindung ist die Leitung T mit einer Stelle in der Kette der Frequenzteiler 11c ... 11k derart verbunden, daß sie von dort alle 20 Sekunden ein Signal empfängt. Dieses alle 20 Sekunden auftretende Signal veranlaßt den monostabilen Multivibrator 19, ein Signal auf Leitung E zu liefern und dadurch NAND-Gatter 21a, 21b und 21c in den Einschaltzustand zu versetzen. Die Einschaltung der NAND-Gatter 21a, 21b und 21c ermöglicht, daß die an Klemmen I1, I2 und I4 vorhandene Information in programmierbare Abwärtszähler (down counters) 23a, 23b und 23c eingeführt werden kann.

Die in die Klemme I1, I2 und I4 eingegebenen Signale können auf mehrere verschiedene Arten geliefert werden. Wenn es beispielsweise erwünscht ist, die in Fig. 2 dargestellte Schaltung permanent zu programmieren, um eine gewählte Zahl von Impulsen in gewählten Intervallen entsprechend der Frequenz des Signals auf Leitung T zu addieren oder zu subtrahieren, dann können gewählte Klemmen der Klemmen I1, I2 und I4 mit einer Spannungsklemme fest verdrahtet ("hard-wired") werden. Wenn andererseits die auf Leitung OUT gelieferte Durchschnittsfrequenz periodisch geändert werden soll, wie es beispielsweise der Fall sein würde, wenn die Frequenz von Signalen, welche von der Frequenzquelle 11 geliefert werden, sich mit der Zeit ändert, so können den Klemmen I1, I2 und I4 von irgendwelchen anderen elektronischen Schaltungen oder externen Schalteinrichtungen

909807/0922

2833653

- 18 -

selektiv Signale zugeführt werden. In der Technik elektronischer Zeitgeräte ist es möglich, einen Schalter außerhalb einer Uhr zu benutzen, um Signale zu bekannten Logik-steuernden Klemmen I1, I2 und I4 zu liefern.

Aufgabe und Wirkungsweise der Schaltung 28 können durch ein Beispiel noch näher erläutert werden. Es sei angenommen, daß durch Prüfeinrichtungen außerhalb der Digitaluhr festgestellt worden ist, daß die Frequenz des Quarzkristall-Oszillators um 12 Teile/Million niedriger ist, als es der genauen Zeit entspricht. Bei einem Quarzkristall-Oszillator, welcher mit einer Frequenz von 100 000 Hertz schwingt, ist dies gleichbedeutend mit einem Fehler von 72 Perioden der Oszillatorgrenzfrequenz pro Minute. (Bei einer Ausführungsform der Erfindung, bei der der Träger der Digitaluhr einen Schalter außerhalb des Gehäuses verwenden kann, um Signale zu den Klemmen I1, I2 und I4 zu liefern, würde man eine ähnliche Information durch die Feststellung erhalten, daß die Uhr je Monat etwa 30 Sekunden nachgeht). Es ist daher erforderlich, dem von der Frequenzquelle 11 gelieferten Signal 72 Impulse je Minute hinzuzufügen.

Dies geschieht dadurch, daß man die in Fig. 2 dargestellte Schaltung in der folgenden Weise benutzt. Es sei angenommen, daß der Zähler 11a eine Schaltung ist, welche eine Division durch 2 ausführt, und daß Zähler 11b eine Division durch 6 vornimmt. Während des Zusammenbaus der Digitaluhr sind die Klemmen I2 und I4 mit einer Spannungsquelle verbunden, während eine Verbindung bei Klemme I1 nicht besteht. Leitung T, welche den Monoflop 19 mit der Kette der Teilerschaltungen 11a, 11b, 11c... 11k verbindet, ist so angeschlossen, daß sie einer Teilerschaltung folgt, welche ein Signal je Minute liefert. Da dem von der Frequenzquelle 11 gelieferten Signal Impulse hinzuzufügen, nicht aber Impulse abzuziehen sind, wird die Klemme I+ während des Zusammenbaus der Uhr ebenfalls mit einer Spannungsquelle verbunden. Es wird daher jede Minute ein Signal auf Leitung T erscheinen, um Monoflop 19 zu aktivieren. Hierdurch werden NAND-Gatter 21b und 21c eingeschaltet, so daß die logische 1 Zähler 23b und 23c aktivieren kann und daraufhin sechs Impulse auf Leitung G

909807/0922

BAD ORIGINAL

2833653

- 19 -

zum NAND-Gatter 35 geliefert werden. In der beschriebenen Weise bewirken die auf Leitung G auftretenden sechs Impulse, daß auf Leitung OUT sechs zusätzliche Impulse erscheinen. Diese sechs zusätzlichen Impulse werden schließlich zur Teilerschaltung 11k geliefert, und sie korrigieren damit die auf der Anzeige der Uhr angegebene Zeit. Dabei ist von besonderer Bedeutung, daß die Größe der Korrektur, wenn sie weniger als eine Sekunde beträgt, nicht in der Anzeigeeinrichtung erscheint und für den Benutzer nicht sichtbar wird. So werden beispielsweise zusätzliche sechs Impulse je Minute von dem Träger der Uhr nicht wahrgenommen, da dieser nicht bemerkt, daß in jeder Minute eine Sekunde eine geringfügig kürzere Dauer als alle anderen Sekunden hat, welche während einer Minute von der Uhr angezeigt werden.

Als Zähler 23a, 23b und 23c können viele Typen kommerziell verfügbarer Zähler gewählt werden; als besonders zweckmäßig haben sich programmierbare Abwärtszähler erwiesen, beispielsweise Zähler Fairchild 340193. Wenn Signale von den NAND-Gattern 21a, 21b und 21c in den Zählern 23a bzw. 23b bzw. 23c gespeichert sind, so wird jedesmal, wenn einer der Zähler 23a, 23b und 23c eine logische 1 auf einer der Leitungen Q1, Q2 und Q3 erscheinen läßt, ODER-Gatter 24 eine logische 1 bei Klemme G auftreten lassen, und hierdurch wird UND-Gatter 29 eingeschaltet und ermöglicht, daß Taktimpulse auf Leitung V mit der Herabzählung (Dekrementierung) der Zähler 23a, 23b und 23c beginnen. Wenn einer der Zähler Null erreicht, wird eine logische 0 an dem Ausgang aus dem Zähler erscheinen. Wenn alle drei Zähler bis Null herabgezählt haben, wird ODER-Gatter 24 verlassen, daß eine logische 0 auf Leitung G erscheint. Diese logische 0 schaltet UND-Gatter 29 ab, und es werden keine Taktimpulse mehr auf Leitung V zu den Zählern 23a, 23b und 23c geliefert. Auf diese Weise steuern die Zähler 23a, 23b und 23c die Dauer eines gegebenen Signals, also entweder 1 oder 0 auf Leitung G. Bei der in Fig. 2 dargestellten bevorzugten Ausführungsform der Erfindung kann diese Dauer t_G durch die folgende Gleichung wiedergegeben werden:

$$t = \frac{(1 \times I1 + 2 \times I2 + 4 \times I4)}{f_{in}}$$

909807/0922

MAILED 048

- 20 -

2833653

Dabei ist:

 f_{in} die Frequenz auf Leitung IN I_1, I_2 und I_4 sind = 0 oder 1.Die Zahl der Impulse k , welche während der Zeit t addiert oder subtrahiert werden, ergibt sich daher aus folgender Beziehung:

$$k = I_1 + 2I_2 + 4I_4.$$

Obwohl in Fig. 2 nur drei Eingangsklemmen I_1, I_2 und I_4 und nur drei Zähler 23a, 23b und 23c dargestellt sind, ergibt es sich für den Fachmann auf dem Gebiet der Digitaltechnik, daß jede Zahl von Eingängen $I_1, I_2, I_4 \dots I_j$ im Zusammenwirken mit einer entsprechenden Zahl von Zählern 23a, 23b, ... 23j und einem entsprechend erweiterten ODER-Gatter 24 Verwendung finden kann. Wenn man Fairchild-Zähler 34Q193 benutzt, kann die Zahl der Impulse, welche zu/von j Eingängen addiert bzw. subtrahiert werden können, wie folgt errechnet werden:

$$k = I_1 + 2I_2 + 4I_4 + \dots + mI_m$$

Dabei ist $m = 2^j - 1$.

Fig. 3 zeigt ein Beispiel eines Zeitsteuerungsdiagramms für das in Fig. 2 dargestellte logische Diagramm. In Fig. 3 sind auf der linken Seite jeweils diejenigen Stellen des Schemaschaltbildes der Fig. 2 eingetragen, in denen die entsprechenden Signale auftreten. Fig. 3a zeigt die Taktimpulse auf Leitung IN, welche von der Tellerschaltung 11a zur Schaltung 30 geliefert werden. Das Signal auf Leitung E zur Einschaltung der Additions- oder Subtraktionsimpulse ist in Fig. 3b dargestellt. Fig. 3c bzw. 3e bzw. 3d zeigen einen angenommenen Zustand einer logischen 1 bei den Klemmen I_1 und I_4 sowie den angenommenen Zustand einer logischen 0 bei Klemme I_2 . Die Signale an den Klemmen I_1, I_2 und I_4 veranlassen die Zähler 23a, 23b und 23c, Ausgangssignale zu liefern, wie sie in den Fig. 3f bzw. 3g bzw. 3h dargestellt sind. Diese Ausgangssignale führen zu einer logischen 1 bei Klemme G für eine Zeitspanne, die in Fig. 3i

909807/0922

2833653

- 21 -

erkennbar ist. Wenn das Signal auf Leitung I+ eine logische 0 entsprechend der Darstellung in Fig. 3j ist, so existiert der Zustand der Impulssubtraktion, und die Ausgangsschwingungsform entspricht dem Signal OUT_{sub} in Fig. 3k. Wenn stattdessen entsprechend der Darstellung in Fig. 3m die Klemme I+ eine logische 1 aufweist, so besteht der Zustand der Impulsaddition, und das Ausgangssignal entspricht dem Signal OUT_{add} entsprechend Fig. 3n.

90980770922.

- 23 -

Nummer:
Int. Cl. 2:
Anmeldetag:
Offenlegungstag:

2833653
G 04 C 5/00
1. August 1978
15. Februar 1979

2833653

FIG.1

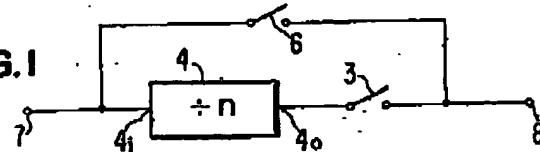
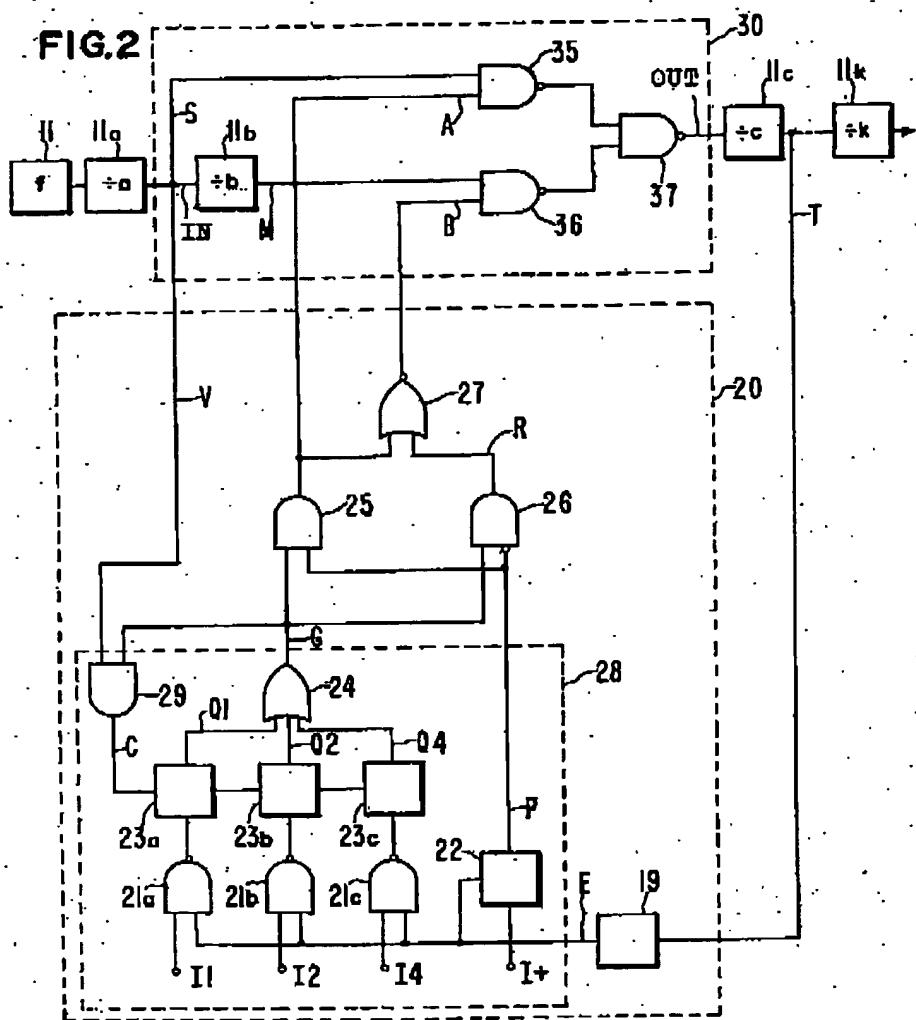


FIG.2

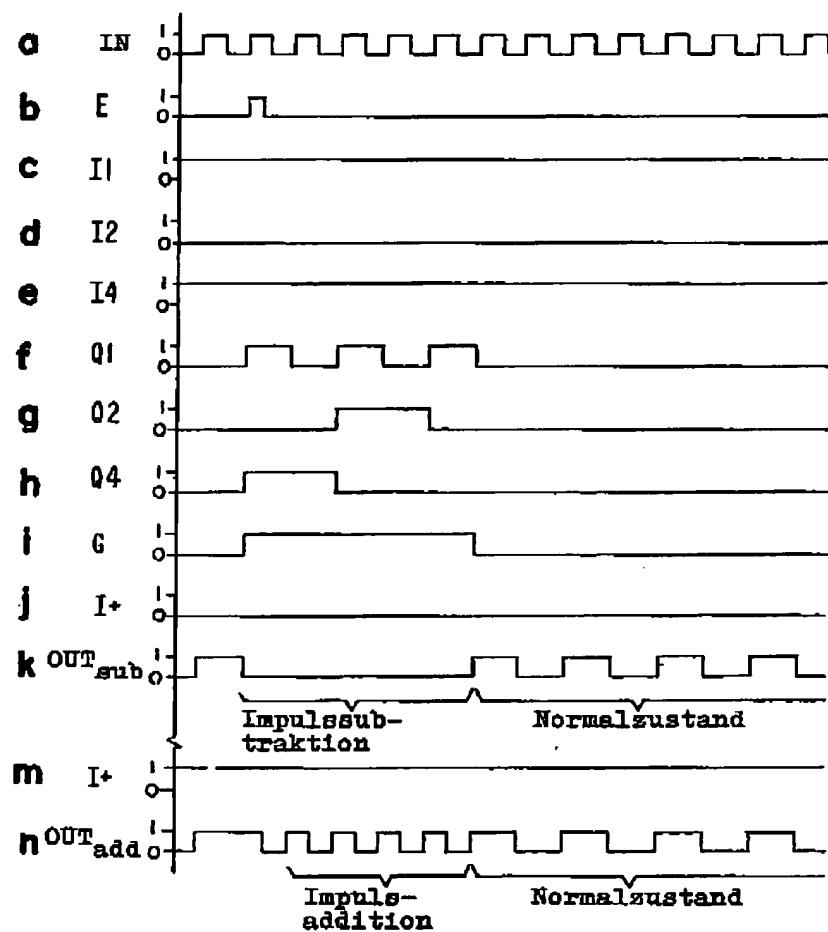


909807/0922

2833653

- 22 -

FIG.3



909807 / 0922

UK Patent Application (19) GB (11) 2 002 157 A

(21) Application No: 7830246

(22) Date of filing:
18 JUL 1978

(23) Claims filed:
18 JUL 1978

(30) Priority date:
31 821674

(32) 4 AUG 1977

(33) UNITED STATES OF
AMERICA (US)

(43) Application published:
14 FEB 1979

(51) INT. CL. H03K 21/00
G04C 3/00

(52) Domestic classification:
G4D 442 AA
G3T 101 AAA DC DD

(56) Documents cited:
GB 1503936

GB 1412779

GB 1349023

GB 1225932

GB 798084

(58) Field of search:
G3T
G4D

(71) Applicants: FAIR-
CHILD CAMERA AND
INSTRUMENT COR-
PORATION, 464 ELLIS
STREET, MOUNTAIN
VIEW, CALIFORNIA
94040, UNITED
STATES OF AMERICA

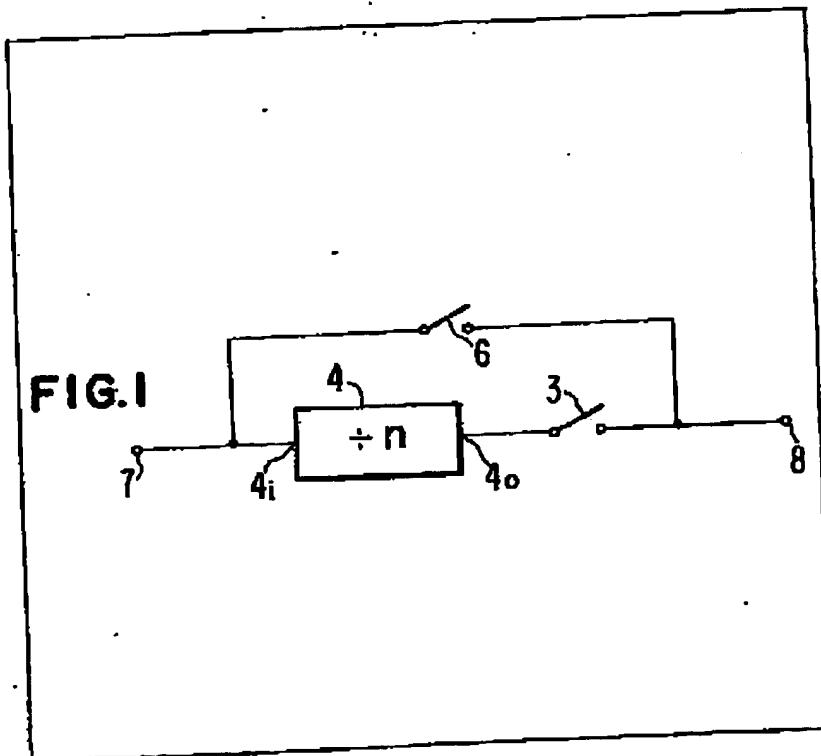
(72) Inventor:
DONALD RAY DUFF

(74) Agents: POLLAK
MERCER & TENCH

**(34) FREQUENCY ADJUSTMENT
CIRCUIT**

(57) A circuit is provided for adjusting the average frequency of signals supplied by a frequency source, for example, in electronic time keeping devices. This circuit is preferably located between a source of clock pulses and other electronic circuitry utilizing signals from the source so that selected numbers of clock pulses may

be added to or subtracted from the clock pulses being supplied to the other electronic circuitry. The circuit for adjusting the average frequency includes a first switching device connected in series with a frequency divider, a second switching device connected in parallel with at least the divider, and a control circuit for periodically opening and closing the first and second switching devices. The switching devices may be NAND-gate circuits.



GB 2 002 157 A / 1

2002157

1/2

FIG.1

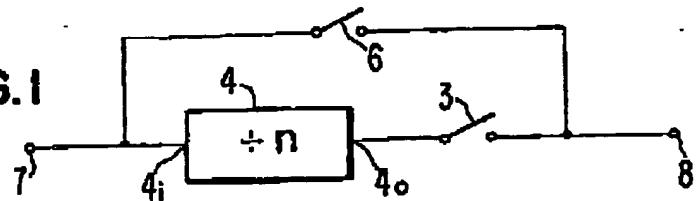
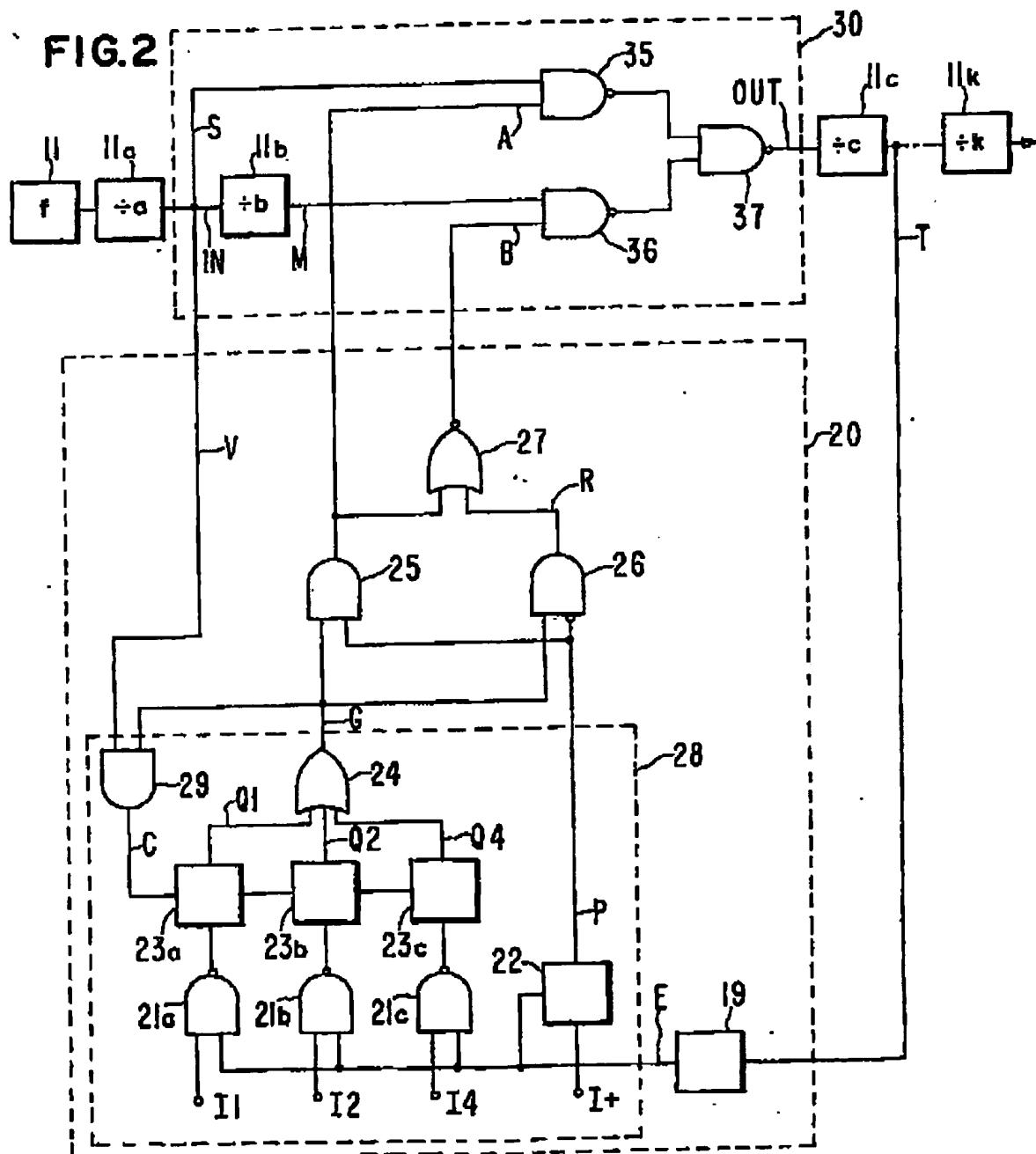


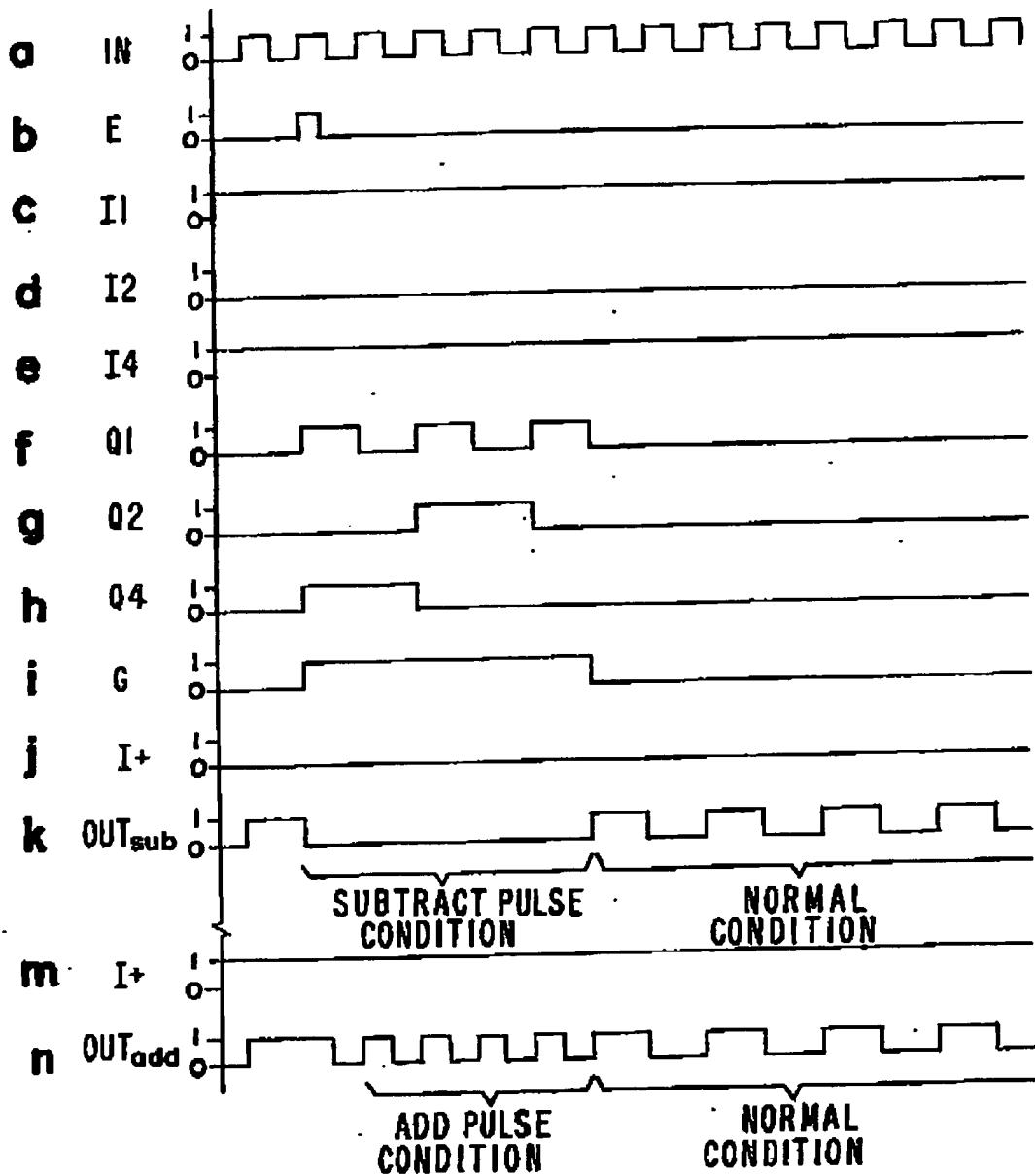
FIG.2



2002157

2/2

FIG.3



GB 2 002 157 A 1

SPECIFICATION

FREQUENCY ADJUSTMENT CIRCUIT

This invention relates to electronic digital circuits, and in particular, to a method and apparatus for adjusting the average frequency of pulses being supplied to an electronic circuit.

Digital circuits which supply periodic electronic pulse signals to other electronic circuits are well known in the digital circuit arts and have been used in numerous devices, for example, electronic timekeeping apparatus. In typical prior art devices, a stable high frequency oscillator, typically a quartz crystal, is used to control the frequency of pulses or electronic signals supplied to other circuitry which utilizes the pulses for time keeping, counting or various other uses. Because the resonant frequency of quartz crystals differs from one to another, a pair of capacitors are typically employed with the quartz crystal or oscillator to further adjust and stabilize the frequency of oscillation. Typically, one of these capacitors is fixed, while the other is variable. During assembly of the particular circuit or product utilizing the frequency source, the variable capacitor is adjusted to cause the oscillator to generate the precise frequency of oscillation desired. Unfortunately, this adjustment is time consuming, and the variable capacitor involved is bulky and expensive. These disadvantages are particularly limiting with regard to electronic wrist watches because the quartz crystal frequency source, and all associated components, must be packaged in a sufficiently small and lightweight container to be worn on the wrist.

The importance of precise adjustment of the frequency being supplied by a frequency source may be readily understood with reference to the electronic time keeping arts. In prior-art watches or other electronic time keeping devices, a stable high frequency oscillator usually supplies signals to a series of frequency dividers or counters which progressively reduce the frequency of the signals to a desired value, for example, 1 hertz. The 1 hertz signal then may be used to drive a series of counters with a first scale of 60 counter providing a count representative of the correct number of seconds elapsed in a given minute, and a second scale of 60 counter driven by the first counter providing a count representative of the correct minute of the hour. A scale of 12 counter driven by the minute counter will provide a count representative of the correct hour of the day, and if desired, additional counters may be provided to count days of the week, days of the month, months of the year, leap years, etc. Typically the outputs of each of the time keeping counters are decoded and coupled to a display, for example, a liquid crystal or light emitting diode display. The resulting visual output provides an indication of the time. One example of a prior-art electronic watch utilizing a series of frequency dividers or counters is U.S. Patent No. 3,815,354 issued to Sirocka et al.

65 Because of the extreme accuracy of the high frequency signal provided by the quartz crystal and associated circuitry, electronic time keeping devices which utilize this type of circuitry are substantially more accurate than conventional 70 mechanical clock and watch movements. Further, the fully electronic systems are simpler to manufacture, have a much longer lifetime, and are usually of lower cost.

One example of a circuit which allows periodic 75 adjustment of the frequency of a quartz crystal oscillator is disclosed in Swiss patent application 3863/73, published for opposition. The circuit disclosed therein utilizes a switch to selectively engage and disengage capacitors to effect the 80 oscillation of the quartz crystal.

SUMMARY OF THE INVENTION

Applicants have discovered a highly accurate means for adjusting the average frequency of oscillation of a signal being used to drive other circuitry. The term "average frequency" is used herein in its ordinary sense, that is, to refer to the arithmetical mean frequency supplied by a circuit during a selected time period. The average frequency of a signal over a selected period is calculated by summing the products of the various instantaneous frequencies with their respective durations and dividing by the sum of the respective durations. For example, if frequency f_1 lasts for period t_1 , frequency f_2 for t_2 , and frequency f_3 for t_3 , then the average frequency $f_{average}$ is given by:

$$f_{average} = \frac{f_1 t_1 + f_2 t_2 + f_3 t_3}{t_1 + t_2 + t_3}$$

Obviously the average frequency will not necessarily, or even usually, be equal to any of the instantaneous frequencies.

100 Applicants' invention, although useful in any application where a precise average frequency must be supplied, is particularly suitable for application to electronic time keeping. In such embodiments, the circuit which applicants have discovered will be situated between a frequency source and other electronic circuitry utilizing signals from the frequency source. Applicants' invention may be used with particular advantage if the other electronic circuitry utilizes signals of significantly lower frequency than those generated by the frequency source.

105 Applicants' circuit for adjusting the average frequency of signals supplies to another circuit includes a first switch means connected in series with a frequency dividing means and a second switch means connected in parallel with at least the dividing means. Control means are provided for selectively engaging and disengaging for desired periods of time the first and second switch means. In one preferred embodiment, the second switch means is connected in parallel with both the first switch means and the dividing means.

110 When applicants' circuit is in the state in which pulses are neither being added to nor subtracted from the signal being supplied by the frequency

generating means, the first switch means will be closed and the second switch means will be open. This position of the first and second switch means allows electronic signals from the frequency generating means to pass through the dividing means and be supplied to whatever other electronic circuit is desired. The frequency of the signals being supplied to the other electronic circuit will be related to the frequency of the signals generated by the generating means only by the effect of the dividing means. This condition of applicants' circuit is referred to herein as the normal condition.

When the average frequency of signals supplied to the other electronic circuitry is to be increased, the first switch means will be opened and the second switch means will be closed for a selected period of time. This switch condition is referred to herein as the "add pulse" condition. In this manner signals will pass from the frequency generating means to the other electronic circuitry without passing through the dividing means. Such signals will therefore be at a higher frequency than the previous "normal" signals which passed through the dividing means. By controlling the duration of the add pulse condition and by shifting back and forth between this condition and the normal condition the average frequency supplied to the other electronic circuitry can be increased to any desired frequency between the normal frequency and the frequency supplied by the frequency generating means. By appropriate pulsing of applicants' circuit from the normal condition into the add pulse condition, the average frequency of the signals supplied to the other electronic circuitry can be maintained at an increased frequency above the normal frequency for any desired period of time. For example, if it is desired that the average frequency supplied to the other electronic circuitry is to be higher over relatively long periods of time, then applicants' circuitry can be slowly alternated between the normal and the add pulse condition. On the other hand, if the desired higher average frequency is to exist over shorter periods of time, then the add pulse condition of applicants' circuitry will be achieved more frequently but for shorter periods.

If it is desired to reduce the average frequency of the signals from applicants' circuit, both the first and second switching means may be opened periodically. During any interval in which both the first and second switch means are open, no signal will be supplied to the other circuit, and consequently the average frequency, over some longer period of time, will be less than that normally supplied.

In one embodiment particularly suited for application to the electronic timekeeping arts, the invention will be utilized to adjust the average frequency supplied by a circuit containing a frequency source. The capability of adjusting a frequency, for example, supplied by a quartz crystal, is advantageous as it facilitates the use of lower cost quartz crystals having a wider deviation of actual frequency from that nominally desired.

The invention is further advantageous over prior-art circuits because the adjustment of the average frequency is accomplished in a linear manner, that is, a linear relationship exists between the number of counts added or subtracted and the resulting change in the average frequency. The frequency of signals supplied by the frequency-generating means can be suitably adjusted to match the desired characteristics of the remainder of the electronic circuitry. Thus, the oscillator circuit may be standardized and small electronic adjustments made to the average frequency rather than adjusting the instantaneous frequency of the source.

30 BRIEF DESCRIPTION OF THE DRAWINGS

Figure 1 is a schematic diagram representing the principle of operation of applicants' invention.

Figure 2 is a logic diagram of one embodiment of applicants' invention.

Figure 3 is a timing diagram of the circuit shown in Figure 2.

DETAILED DESCRIPTION

A schematic diagram generally illustrating the principle of operation of one embodiment of the invention is shown in Figure 1. A first switching means 3 is connected in series with a frequency divider 4. Frequency divider 4 will divide the frequency supplied to its input 41 to a lower frequency which will appear at its output 40. Frequency dividers such as frequency divider 4 are well known in the art and are commercially available, typically dividing the input frequency by an integer. An example of such a frequency divider is Fairchild Camera and Instrument Corporation (hereinafter Fairchild) product 34518. In one embodiment, second switching means 6 is connected in parallel with first switching means 3 and frequency divider 4. In operation, a frequency is supplied to terminal 7 as shown in Figure 1. By selectively opening and closing first switching means 3 and second switching means 6 for desired periods of time, a higher or lower average frequency (relative to that frequency normally supplied by divider 4 at output terminal 40) will appear at terminal 8. The time-averaged frequency appearing at terminal 8 may be as high as that supplied to terminal 7, or as low as zero. If no change in the frequency is desired, first switching means 3 will be closed and second switching means 6 will be opened to allow the signals supplied to terminal 7 to pass through divider 4 and appear at terminal 8. This condition is referred to as the normal condition because the frequency supplied is changed only the effect of divider 4.

120 As shown in Figure 1, by opening first switching means 3 and closing second switching means 6 the signals appearing at terminal 7 bypass divider 4 and appear directly at terminal 8. This condition of the circuit is referred to herein as the "add pulse" condition. This add pulse condition may be maintained for any desired period of time, thereby adjusting the average frequency appearing at terminal 8 upward. For example, if, during a given

time period, the add pulse switch condition is maintained for one-half of the period, then the average frequency of the signal appearing at terminal 8 will be mid-way between the frequency supplied at terminal 7 and the frequency normally supplied at terminal 8 (with first switching means 3 closed and second switching means 6 opened). In general, for the circuit shown in Figure 1, the average frequency (f_{av}) supplied to terminal 8 will be related to the input frequency f_{in} supplied to terminal 7 as follows:

$$f_{av} = \frac{f_{in}(T-t) + nf_{in}t}{nT}$$

where T is the time between adjustment periods to the average frequency, t is the duration of the adjustment, and n is the number (divisor) by which dividing circuit 4 divides f_{in} . Thus, if the frequency appearing at terminal 8 is to be 10 percent higher than the normal frequency appearing at terminal 8, and $n = 2$, then the add pulse switch condition of the circuit will be maintained for 10 percent of the total operating time. By more rapidly switching the circuit shown in Figure 1 between the normal condition and the add pulse condition, the instantaneous frequency appearing at terminal 8 will more closely approach the desired average frequency over progressively shorter time periods.

In a similar manner the circuit shown in Figure 1 may be operated to cause the average frequency appearing at terminal 8 to be less than that normally supplied. This condition is referred to herein as the subtract pulse condition and is achieved by opening both the first switching means 3 and the second switching means 6. When both the first switching means 3 and the second switching means 6 are open for a selected time, no pulses will be transmitted from terminal 7 to terminal 8. Thus, over some longer time period the average frequency appearing at terminal 8 will be reduced. For example, if $n = 2$, and if the average frequency at terminal 8 is to be 10 percent less than the normal frequency, then switch 3 and switch 6 together will be open 10 percent of the time. This condition is achieved by holding switch 6 open and then opening switch 3 10 percent of the time.

Figure 2 shows a logic diagram of one embodiment of the circuit of applicants' invention together with associated external circuitry 11, 11a, 11b...11_n, as typically is utilized in the electronic time keeping arts. Applicants' circuit includes a switching circuit 30 and a control circuit 20. Shown in Figure 2 are a frequency generator 11, a series of frequency dividers 11a, 11b...11_n. Applicants' circuit as shown in the logic diagram enclosed within dashed line blocks 20 and 30 is connected between frequency dividers 11a and 11b on the left hand side of Figure 2 and by line T between frequency dividers 11c and 11_n on the right hand side of Figure 2. It should be understood that these locations are for illustrative purposes only and that any desired location may

65 be selected, depending upon the normal frequency desired, the extent of the maximum expected adjustment to the normal frequency, and the minimum time period during which the average new frequency is desired. For example, if the adjustment to the input frequency is desired to be made less frequently, then line T may be connected between dividers further from divider 11c, for example, following divider 11f (not shown) so monostable multivibrator 19 is triggered less frequently.

70 The logic diagram shown in Figure 2 includes switching circuit 30 and control circuit 20. Switching circuit 30 accomplishes the same function as the circuit shown in Figure 1.

75 Frequency divider 11b in Figure 2 performs the function of frequency divider means 3 in Figure 1, the combination of NAND gates 36 and 37 in Figure 2 performs the function of first switching means 3 in Figure 1, and the combination of 80 NAND gates 35 and 37 in Figure 2 performs the function of second switching means 6 in Figure 1. Thus by appropriate control of NAND gates 35, 36 and 37 the average frequency supplied to divider 11_n can be adjusted to any desired frequency between zero and the frequency of the signals presented to divider 11b on line IN.

85 The control circuit shown inside dashed line 20 serves to enable and disable NAND gates 35 and 36, and therefore NAND gate 37, at appropriate intervals to result in the desired average frequency being supplied to divider 11_n.

90 If the desired average frequency of signals on line OUT is sought to be equal to the normal frequency (the frequency on line M after division by divider 11b) then NAND gate 36 will be enabled and NAND gate 35 disabled. This is accomplished by presenting a logical 1 on line B and a logical 0 on line A. In this condition NAND gate 36 is enabled, NAND gate 35 is disabled, and NAND gate 37 is enabled. Thus signals supplied on line IN pass through divider 11b and are supplied to line OUT. This condition corresponds to the condition shown in Figure 1 if switch 6 is open and switch 3 is closed (normal operation).

95 110 If the circuit of Figure 2 is to supply an average frequency higher than the normal frequency, then NAND gate 35 will be enabled and NAND gate 36 disabled by presenting a logical 1 on line A and a logical 0 on line B. Signals supplied to circuit 30 on line IN thereby travel on line S, bypass divider 11b, and pass through NAND gates 35 and 37 to appear on line OUT. Therefore, the signals appearing on line OUT, for the period during which NAND gate 35 is enabled and NAND gate 36 disabled, will be 100 equal in frequency to those on line IN.

115 115 If the circuit is to supply an average frequency lower than the normal frequency, both NAND gate 35 and NAND gate 36 will be disabled to prevent the transfer of any signals from line IN to line OUT. This subtract pulse condition is 120 achieved by presenting a logical 0 on line A and a logical 0 on line B to disable both NAND gates 35 and 36. During some longer time period the average frequency of signals presented on line

125

OUT will be less than the normal frequency. The control circuitry included within dashed block 20 can be any circuit which achieves the results discussed above. That is, the control circuit must properly open and close the gates 36, 37 and 38 by presenting a logical 0 to both lines A and B during a subtract pulse condition, a logical 1 to line A and a logical 0 to line B during an add pulse condition, and a logical 0 to line A and a logical 1 to line B during a normal condition. A preferred embodiment of a logic circuit which performs these functions is shown within block 20 of Figure 2. Those skilled in the digital circuit arts will realize that numerous other control circuits in addition to the one shown in Figure 2 will accomplish the desired result. One group of such circuits may be achieved using deMorgan's Theorem. In particular, for the particular embodiment of the switching circuit shown, any control circuit will be suitable which satisfies the following conditions:

- 5 A = 1 When both G = 1 and P = 1
- 10 B = 0 When either,
- 15 1) G = 1 and P = 0, or
- 20 2) A = 1

25 The logic diagram within block 20 of Figure 2 includes means for appropriately pulsing lines A and B to control the condition of switching circuit 30 and includes, within block 28, means for controlling the number of pulses added or subtracted.

30 The signal supplied to line G by the circuit within block 28, together with the signal on line P supplied by latch 22 will determine the condition of lines A and B. As will be explained, the existence and duration of a logical 1 signal on line G is used to control the existence and duration of both the add pulse and subtract pulse signal being supplied to lines A and B. If the switching circuit 35 within block 30 is to be in its normal position, then a logical 0 will be presented to line G by the circuit within block 28. Assume, however, that a logical 1 is presented to line G by the circuit within block 28. A logical 1 on line G will enable AND gate 25 and AND gate 26. The choice of whether line A or line B is presented with a logical 1 will therefore be determined by the condition of line P. Latch 22, well known in the art, for example, Fairchild product 34042, is preset so that the presence of a 40 logical 1 at terminal I+ will latch line P to a logical 1 state. The logical 1 on line P is inverted by the inverter preceding AND gate 26 to a logical 0, and consequently, AND gate 26 is not enabled, resulting in a logical 0 appearing on line R. The 45 logical 1 on line P, however, in conjunction with the logical 1 on line G, causes AND gate 25 to supply a logical 1 to line A. The logical 1 on line A with the logical 0 on line R causes NOR gate 27 to supply a logical 0 at line B thereby disabling 50 NAND gate 36. The enabling of NAND gate 35 and the disabling of NAND gate 36 places switching circuit 30 in an add pulse condition—to bypass divider 11b.

55 Switching circuit 30 is placed in a subtract pulse condition by supplying a logical 0 to input terminal

I+ at the same time a logical 1 is presented on line G. The logical 0 at terminal I+ causes a logical 0 to appear on line P thereby disabling NAND gate 25 which disables NAND gate 35. The logical 0 on line P together with the assumed logical 1 on line G enables AND gate 26 and causes a logical 1 to appear on line R. The logical 1 on line R together with the logical 0 on line A cause NOR gate 27 to apply a logical 0 to line B. The combined logical 0's on line A and line B disable NAND gate 35 and NAND gate 36, also disabling NAND gate 37. During the period NAND gate 37 is disabled no signal appears on line OUT.

60 The normal condition of switching circuit 30 occurs whenever circuit 28 applies a logical 0 to line G. The logical 0 on line G disables AND gate 25 and AND gate 26 causing logical 0's to appear on line R and line A. These logical 0's disable NAND gate 35 and cause NOR gate 27 to apply a logical 1 to line B thereby enabling NAND gate 36. The logical 1 presented on line B of NAND gate 36 allows the signals on line M from divider 11b to pass through NAND gate 36 and NAND gate 37 thereby appearing on line OUT.

65 Thus the presence of a logical 1 at input terminal I+ together with logical 1 on line G causes switching circuit 30 to bypass divider 11b and effectively increase the average frequency of signals present on line OUT. The presence of a 70 logical 0 at terminal I+ and a logical 1 on line G causes switching circuit 30 to interrupt the flow of signals between line IN and line OUT, thereby lowering the average frequency. Finally, the presence of a logical 0 on line G allows the signals to pass through divider 11b and appear directly on line OUT.

75 The purpose of the circuit within block 28 is to control the number of pulses added or subtracted by the switching circuit 30. As has been previously explained whether pulses are added or subtracted is controlled by the presence of a logical 1 or a logical 0, respectively, on line P. Addition or subtraction of pulses occurs whenever a logical 1 is presented on line B, thereby enabling NAND gates 21a, 21b, and 21c. The logical 1 on line B is generated by the monostable multivibrator 19. "One-shot" devices such as monostable multivibrator 19 are well known in the art and available commercially, for example, the Fairchild product 9600. In one embodiment of this invention line T is connected to a location in the chain of frequency dividers 11c...11, to receive therefrom a signal every 20 seconds. This signal every 20 seconds causes one-shot 19 to supply a signal on line E, thereby enabling NAND gates 21a, 21b, and 21c. The enabling of NAND gates 21a, 21b, and 21c allows the information presented at terminals 11, 12, and 14 to be loaded into programmable down counters 23a, 23b, and 23c. 80

85 The signals presented to terminals 11, 12 and 14 may be supplied in several different ways. For example, if it is desired to permanently program the circuit shown in Figure 2 to add or subtract a selected number of pulses at selected intervals 90 determined by the frequency of the signal on line T

then selected ones of terminals I1, I2, and I4 may be "hard-wired" to a voltage supply. On the other hand, if the average frequency supplied on line OUT is to be changed periodically, such as would be the case if the frequency of signals supplied by frequency source I1 changes with time, then terminals I1, I2 and I4 may be selectively supplied with signals by some other electronic circuit or external switching means. In the electronic time keeping arts a switch on the exterior of a watch case could be used to supply signals to well-known logic-controlling terminals I1, I2, and I4.

An example will further clarify the function and operation of circuit 28. Assume that by utilizing testing equipment external to the digital watch it is discovered that the quartz crystal oscillator frequency is twelve parts per million lower than that required for perfect time. For a quartz crystal oscillator vibrating at a frequency of 100,000 hertz, this is equivalent to an error of 72 cycles of the fundamental oscillator frequency every minute. (In an embodiment of this invention in which the wearer of the digital watch may use a switch on the exterior of the case to supply signals to terminals I1, I2, and I4, similar information would be obtained by observing that the watch is about 30 seconds slow every month.) It is therefore desired to add 72 pulses every minute to the signal being supplied by frequency source I1.

This is accomplished utilizing the circuit shown in Figure 2 as follows. Assume counter 11a is a divide by two circuit and counter 11b is a divide by six circuit. During assembly of the digital watch, terminals I2 and I4 are connected to a voltage source, and terminal I1 is not so connected. Line T, which connects one-shot device 19 to the chain of dividers 11a, 11b, 11c...11k, is connected following a divider which provides a signal every one minute. Terminal I+, because it is desired to add pulses to the signal being supplied by frequency source I1, rather than subtract pulses, is also connected to a voltage source during assembly of the watch. Therefore, every one minute a signal will appear on line T to activate one-shot device 19. This will enable NAND gates 21b and 21c allowing the logical 1 to activate counters 23b and 23c, causing six pulses to be supplied on line G to NAND gate 35. In the manner previously explained the six pulses appearing on line G will result in six additional pulses appearing on line OUT. These six additional pulses will eventually be supplied to divider 11k, thereby in effect correcting the time indicated on the watch display. It should be noted however, that the magnitude of the correction, if it is less than one second, will not appear on the display and be visible to the user. For example, the addition of six pulses every minute will not be observed by the wearer of the watch, who would be unaware that every minute one second is slightly shorter in duration than all other seconds being displayed by the watch during the one minute period.

Counters 23a, 23b and 23c may be chosen from many types of commercially available counters, however, programmable down counters such as

the Fairchild 340193 have been found suitable. Once signals from the NAND gates 21a, 21b and 21c are stored in counters 23a, 23b, and 23c, respectively, whenever any of the counters 23a, 23b, and 23c present a logical 1 to any of lines Q1, Q2, and Q3, OR gate 24 will cause a logical 1 to appear at terminal G, thereby enabling AND gate 29 to allow clock pulses on line V to begin to decrement counters 23a, 23b, and 23c. When any counter reaches zero a logical 0 will appear at the output from that counter. When all three counters have counted down to zero, OR gate 24 will cause a logical 0 to appear on line G. This logical 0 disables AND gate 29 and clock pulses on line V are no longer supplied to the counters 23a, 23b, and 23c. In this fashion counters 23a, 23b, and 23c control the duration of a given signal, either 1 or 0 on line G. In the embodiment shown in Figure 2 this duration t_c is given by the equation:

$$85 \quad t_c = \frac{(I_1 \times I_2 + 2 \times I_2 + 4 \times I_4)}{f_{IN}}$$

where f_{IN} is the frequency on line IN, and where I1, I2 and I4 equal 0 or 1. Thus, the number of pulses k which are added or subtracted during time t_c will be given by:

$$90 \quad k = I_1 + 2I_2 + 4I_4$$

Although only three input terminals I1, I2 and I4 and only three counters 23a, 23b and 23c are shown in Figure 2, it will be obvious to those skilled in the digital arts that any number of inputs I1, I2, I4...I_n can be used in conjunction with a corresponding number of counters 23a, 23b...23_n, and an expanded OR gate 24. Using Fairchild 340193 counters the number of pulses which may be added or subtracted by n inputs will be given by:

$$100 \quad k = I_1 + 2I_2 + 4I_4 + \dots + mI_n$$

where $m = 2^{n-1}$.

A sample timing diagram for the logic diagram shown in Figure 2 appears as Figure 3. The location in the schematic of Figure 2 of the signals displayed in Figure 3 is shown down the left hand side of Figure 3. Figure 3a shows the clock pulses on line IN supplied by divider 11a to circuit 30. The signal on line E to enable the addition or subtraction pulses is shown as Figure 3b. A hypothetical logical 1 condition of terminal I1 and terminal I4, and a hypothetical logical 0 condition of terminal I2 are shown as Figures 3c, 3e, and 3d, respectively. The signals on terminals I1, I2, and I4 cause the counters 23a, 23b, and 23c to present output signals shown in Figure 3f, 3g, and 3h, respectively. These output signals result in a logical 1 at terminal G for the period depicted in Figure 3i. If the signal on line I+ is a logical 0 as shown in Figure 3j, then a subtract pulse condition exists and the output wave form is shown as the signal OUT_{sub} in Figure 3k. If, instead as shown in Figure 3m, terminal I+ is a logical 1 then an add

pulse condition exists and the output signal appears as signal OUT_{ext} shown in Figure 3n.

CLAIMS

1. A circuit for adjusting the average frequency of signals supplied to its output means comprising:
a source of signals,
a frequency dividing means having an input and an output,
a first switch means connected in series with the frequency dividing means between the source and the output means,
a second switch means connected between the source of signals and the output means in parallel with at least the frequency dividing means, and
control means for selectively engaging and disengaging the first switch means and the second switch means.
2. A circuit as shown in claim 1 wherein the second switch means is connected in parallel with both the first switch means and the frequency dividing means.
3. A circuit as in claim 2 wherein:
the first switch means includes a first NAND gate and a second NAND gate,
- 25 the second switch means includes a third NAND gate and the second NAND gate, wherein a first input terminal of the first NAND gate is connected to the control means, and a second input terminal of the first NAND gate is connected to the output of the frequency dividing means, a first input terminal of the second
- 30 of the frequency dividing means, a first terminal of the third NAND gate is connected to the control means and a second terminal of the third NAND gate is connected to the input of the frequency dividing means, a first input terminal of the second
- 35 NAND gate is connected to an output terminal of the first NAND gate and a second input terminal of the second NAND gate is connected to an output terminal of the third NAND gate, and the output means of the circuit for adjusting the
- 40 average frequency is an output terminal of the second NAND gate.
4. A circuit as in claim 3 wherein a plurality of input terminals to the control means receive information indicative of a desired state of the first
- 45 and the second switch means.
5. A circuit as in claim 4 wherein the plurality of input terminals is four input terminals, and the first, second, and third input terminals are connected to receive information indicative of the
- 50 amount of adjustment to the average frequency, and the fourth input terminal is connected to receive information indicative of whether the average frequency is to be increased or decreased.

- 55 6. A circuit as in claim 5 wherein:
the first input terminal to the control means is connected to a fourth NAND gate,
the second input terminal to the control means is connected to a fifth NAND gate,
the third input terminal to the control means is connected to a sixth NAND gate, and wherein each of the fourth, fifth, and sixth NAND gates is also connected to receive signals from a first source of signals of known relationship to the signals from the source of signals.
- 60 7. A circuit as in claim 6 wherein the control means includes at least one counter, the at least one counter being connected to a second source of signals of known relationship to the signals from the source of signals.
- 70 8. A circuit as in claim 7 wherein the first source of signals is a monostable multivibrator, and the second source of signals is the source of signals.
- 75 9. A circuit as in claim 7 wherein the at least one counter includes a first, a second and a third counter, and the fourth NAND gate is connected to the first counter, the fifth NAND gate is connected to the second counter, and the sixth NAND gate is connected to the third counter.
- 80 10. A circuit as in claim 9 wherein signals from at least one of the first, second, and third counters are supplied to at least one of the first input terminal of the first NAND gate and the first input terminal of the third NAND gate.
- 85 11. A circuit as in claim 1 wherein:
the source of signals includes a quartz crystal oscillator, and
the output means includes a series of counters to provide a count indicative of the time.
- 90 12. In an electronic time keeping apparatus, a circuit for adjusting the average frequency of signals supplied by a frequency source to a series of counters to provide a count indicative of the time comprising:
a frequency dividing means having an input and an output,
- 95 first switch means connected in series with the frequency dividing means between the source and the output means,
- 100 second switch means connected between the source of signals and the output means in parallel with at least the frequency dividing means, and
control means for selectively engaging and disengaging the first switch means and the second switch means.
- 105 13. A circuit for adjusting the average frequency of signals supplied to its output means substantially as herein described with reference to the accompanying drawings.

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record.**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.